

**INGÉNIERIE DES TECHNOLOGIES DE L'INFORMATION****ORIENTATION – INFORMATIQUE MATERIELLE****ETUDE DE FAISABILITE DE L'IMPLEMENTATION D'UN GATEWAY LoRa AVEC DES CAPACITES DE  
LOCALISATION PAR DTOA****Descriptif :**

Dans la norme LoRa il est prévu de supporter un système de localisation basé sur le principe de «Difference Time of Arrival». Ce type de localisation à différence d'une méthode « Time of Flight » tel que présent sur les systèmes GPS, n'a pas besoin de gérer un timestamp précis du côté du dispositif à localiser, car le temps d'envoi du message n'est pas pris en compte par l'algorithme. C'est seulement du côté du gateway récepteur que ces timestamps doivent être gérés avec une haute précision afin de faire une trilatération basée sur la différence de temps de réception d'un message émis par un dispositif. Même si prévu dans la norme, les gateways actuels ne permettent pas de faire cette localisation car pour chaque message reçu, le timestamp attribué a une résolution de 1ms. Ce qui est largement insuffisante pour faire la localisation.

Le but de ce projet est d'explorer la faisabilité d'implémenter un tel système basé sur une carte USRP B200, basé principalement sur un circuit RF, un ADC, une FPGA Spartan-6, et une interface USB-3. Deux principaux défis sont identifiés :

- Gestion du timestamp : à l'aide d'un signal de référence PPS fournie par un GPS, un système de compteurs devra gérer des timestamps avec une précision connue sur plusieurs cartes (2 cartes dans ce projet). Dans un premier temps ce timestamp sera validé avec la détection d'un événement simple.
- Traitement du signal LoRa: le but sera d'identifier plusieurs techniques pour identifier l'arrivée d'un signal LoRa basé sur l'entête du chirp. Cette détection servira à déclencher la capture du timestamp pour remplacer l'événement simple de l'item précédant. Le décodage de toute la trame reste hors de la porte de ce travail.

**Travail demandé :**

Pendant ce travail de diplôme l'étudiant devra :

- Analyser et comprendre l'architecture FPGA et le code C++ fournis avec la carte USRP B200.
- Proposer une solution matériel pour la gestion des timestamps. La valider sur la FPGA en utilisant deux USRP B200.
- Proposer aux moins deux méthodes pour détecter l'arrivée d'un signal LoRa : (1) Une méthode « naïve » qui permettra de valider la gestion de timestamps et qui nous permettra d'obtenir de résultats préliminaires. Cette méthode « naïve » aura certainement des limitations importantes para rapport à la distance ou à la fiabilité. (2) Un méthode qui pourra se baser soit sur un analyse fréquentielle ou sur une corrélation temporelle.
- Implémentation de la méthode naïve sur la FPGA.
- Validation et analyse de la deuxième méthode à l'aide de Matlab. Si la complexité de l'algorithme et le temps à disposition le permettent, implémentation sur FPGA.
- Tester le système afin d'obtenir de résultats.

Candidat :

**M. Chassot Sébastien**

Filière d'études : ITI

Professeur(s) responsable(s) :

**UPEGUI ANDRES**

En collaboration avec :

Travail de bachelor soumis à une convention  
de stage en entreprise : **non**

Travail de bachelor soumis à un contrat de  
confidentialité : **non**